

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

한국특허청 (KR)
① 공개 실용 신안 공보 (U)

⑤ InL CL^o
H 01 L 21/56

제 716 호

⑥ 공개일자 1994. 1. 3
⑦ 출원일자 1992. 6. 10

① 공개번호 94-1879
② 출원번호 92-10286
심사청구: 없음

⑧ 고안자 박준수 서울특별시 강남구 역삼동 현대빌라 107-202

⑨ 출원인 금성일렉트론 주식회사 대표이사 문경완

충청북도 청주시 흥정동 50번지

⑩ 대리인 변리사 박창완

(전 2 단)

◎ 반도체 패키지

◎ 요약

본 고안은 반도체 패키지의 구조에 관한 것으로 반도체 패키지에 있어서, 반도체 칩이 부착 고정되는 리드 프레임의 케이스와 상기 칩에 와이어 풀팅되는 다수개의 외부연결 리드가 패키지의 저편으로 노출되도록 리드프레임의 상부측만 에폭시 풀팅 첨파운드로 풀팅하여 구성한 것이다.

즉 리드 프레임은 기존한 상부쪽은 에폭시 풀팅 첨파운드로 풀팅하고 하부쪽은 케이스로서 인텔리미션 역할을 하도록 함으로써 패키지의 전체적인 두께를 보다 짧게하여 경량화에 기여하고, 실장률을 보다 높힐 수 있다는 효과와 아울러 포인트성이 저거되는 등 저조공정이 단순화되며, 칩의 전기적인 특성이 보다 좋아지는 등의 여러 효과가 있다.

실용신안 등록청구의 범위

1. 「반도체 패키지 구조에 있어서, 반도체 칩(11)이 부착 고정되는 티드 프레임의 패들(12)과 상기 칩(11)이
와이어 편팅되는 다수개의 외부연결 티드(13)가 패키지의 저면으로 노출되도록 티드 프레임의 상부부위에 폴리
판딩 점퍼온드(14)로 끌어당겨서 구성함을 특징으로 하는 반도체 패키지.」

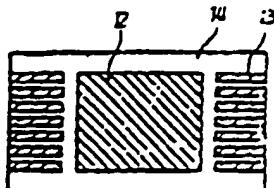
2. 제1항에 있어서, 상기 티드 프레임은 그외 패들(12)과 외부연결 티드(13)가 수평상태로 형성되거나, 또는
패들(12)을 들어올린 엘-셋구조로 형성됨을 특징으로 하는 반도체 패키지.

* 참고사항: 최초출원 내용에 의하여 공개하는 것임.

도면의 간단한 설명

제3도는 본 고안에 의한 반도체 패키지를 구조를 보이는 도면으로서, 제3도는 제2도의 기면도, 제4도는 본
고안에 의한 반도체 패키지의 실장상태를 보인 단면도.

제3도



제4도

